

Nachrichten von den Projekten

www.edacentrum.de/projekte

σ65

Neues Ekompas-Projekt beschäftigt sich mit Modellierung und Analyse bei 65nm-Technologie

Das Projekt Sigma65 wurde am 01.10.2006 gestartet. Im Vordergrund der geplanten Forschungen stehen die in den nächsten Jahren zur Einführung und vollen Entfaltung kommenden Technologieknoten (Sub65nm-Technologieknoten). Aufgrund der abnehmenden Strukturgröße entstehen neue Beziehungen zwischen den Bauelementen auf dem Chip und ihrer Umgebung. Die Fertigungstoleranzen innerhalb eines Chips und von Chip zu Chip spielen im Sub-65nm-Bereich eine erhebliche Rolle und müssen bereits im Entwurfsprozess konsequent berücksichtigt werden. Im Projekt werden die eng mit der Technologie verbundenen Entwurfsebenen des Schaltungsentwurfes betrachtet. Das Projekt will Verfahren und Methoden erarbeiten, die ausgehend von den unteren (Transistor-) Entwurfsebenen abstrahierte Modelle mit statistischen Verteilungen der Parameter der höheren Entwurfsebenen (Gatter- und Blockniveau) generieren. Die neuen Modelle sollen technologienah die Effekte und Verhaltensweisen aufgrund von Schwankungen der Bauelementeigenschaften beschreiben und die Fertigungstoleranzen mit ihren Auswirkungen so genau wie nötig darstellen. Das Ziel ist die Genauigkeit der statistischen Berechnungsverfahren zu erhöhen und damit die Technologien optimaler nutzen zu können.

Kont@kt (Sigma65)

Fraunhofer Institut für
Integrierte Schaltungen (IIS)
Dr. Manfred W. Dietrich
fon (03 51) 46 40 - 7 15
Manfred.Dietrich@eas.iis.fraunhofer.de

Vor diesem Hintergrund wurde ein Verfahren zur Qualitätsbestimmung von Tests für Systembeschreibungen in SystemC von Daniel Große und Prof. Dr. Rolf Drechsler (Arbeitsgruppe Rechnerarchitektur, Universität Bremen) entwickelt. Das Verfahren entstand im Umfeld des Ekompas-Projektes URANOS. Es wurde auf der Konferenz „Forum on Specification and Design Languages 2007 (FDL)“ in Barcelona vorgestellt und dort mit dem „Best Paper Award“ ausgezeichnet.

Der Ansatz verwendet speziell für SystemC zugeschnittene Code Coverage Techniken, welche auf Basis eines selbst entwickelten SystemC-Front-Ends zur Verfügung stehen. Als Resultat liefert das Verfahren alle nicht durch die Tests abgedeckten Bereiche des SystemC-Entwurfs. Dabei erhält der Benutzer exakte Quellcodereferenzen sowie SystemC-spezifische Informationen zu Hierarchie und Prozesskontext. Insgesamt wird der Verifikationsingenieur durch das Verfahren bei der Testerstellung unterstützt und in die Lage versetzt, die Qualität von Tests entscheidend zu verbessern.



Best Paper Award bei FDL'07 für Verfahren zur Qualitätsbestimmung von Systemtests

Elektronische Systeme bestehen sowohl aus Hardware- als auch aus Softwarekomponenten. Für den gemeinsamen Entwurf solcher Hardware-/Software-Systeme wurden in den vergangenen Jahren spezielle Modellierungssprachen entwickelt, welche die unterschiedlichen Anforderungen aus der Hardware- und Softwaresicht berücksichtigen. Zusätzlich ermöglichen solche Systembeschreibungssprachen den Entwurfseinstieg auf sehr hohen Abstraktionsebenen mit dem Ziel einer „guten“ Entwurfsraumexploration. Neben der Modellierung und der Verfeinerung des Systems in der Sprache, besteht eine wichtige Funktion darin, dass Tests spezifiziert werden können, mit deren Hilfe das System als Ganzes getestet werden kann. Auf Grund der Komplexität heutiger Systeme ist es aber sehr schwierig und zeitaufwändig, sicherzustellen, dass ein System ausreichend getestet wurde.

Newsletter edacentrum Probeauszug

Bestellen Sie sich den kompletten Artikel über newsletter@edacentrum.de

edacentrum, Hannover, Dezember 2007



Kont@kt und Information

Daniel Große
Universität Bremen
FB 3 – Mathematik und Informatik
AG Rechnerarchitektur
fon: (04 21) 21 86 39 35
grosse@informatik.uni-bremen.de