

Dionysys – Entwurfsmethoden für hochfrequente Systems in Package

Neues Ekompas-Projekt gestartet



Systems-in-Package (SiP) ermöglichen innerhalb eines Schaltkreisgehäuses die Integration sehr komplexer Systeme, die aus verschiedenartigen Baugruppen bestehen. Der Entwurf dieser Systeme ist mit den aktuellen, auf System-On-Chip ausgerichteten Entwurfswerkzeugen nicht mit der gewünschten Effizienz möglich. Das Forschungsvorhaben Dionysys erarbeitet EDA-Lösungen für SiP mit analogen und Hochfrequenzbaugruppen.

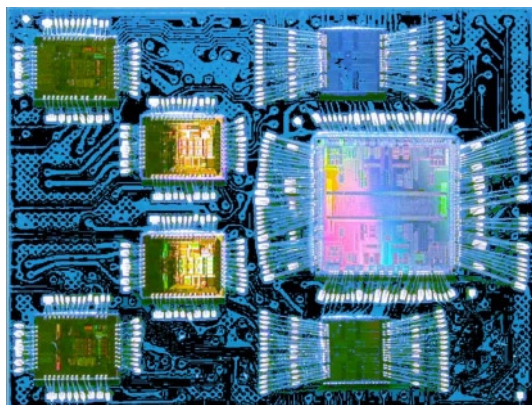


Abbildung 1.18: System in Package Designstudie
(Quelle: Infineon Technologies AG)

Der Funktionsumfang elektronischer Geräte nimmt immer weiter zu. Gleichzeitig werden diese kleiner und energiesparender. Grundlage dafür ist die steigende Integration des Systems, die bislang vor allem durch System-on-Chip (SoC) ermöglicht wurde. Die unterschiedlichen Komponenten eines elektronischen Systems können jedoch nicht immer optimal als SoC in einer einzelnen Schaltungstechnologie realisiert werden. Das ist besonders dann der Fall, wenn das System Sender und Empfänger im Hochfrequenz- (HF) Bereich oder mikromechanische Sensoren enthält. Eine Lösung dieses Problems bieten die System-in-Package (SiP). Bei dieser Technologie werden verschiedene Integrierte Schaltungen (IC) mit passiven Bauelementen und Sensoren in einem einzigen Gehäuse, ähnlich denen für SoC, integriert. Durch die mögliche Partitionierung in mehrere IC kann man für die unterschiedlichen Systemteile speziell angepasste, mit weniger Fertigungsschritten ausgestattete Halbleitertechnologien verwenden. Die Einzelteile werden auf einem Moduls substrat angeordnet und über dieses wie auch über Bonddrähte miteinander verbunden (Abbildung 1.18). Auf diese Weise können große Systeme mit verschiedensten Komponenten in einem kompakten Baustein realisiert werden.

Anforderungen an EDA

Bereits in den 70er Jahren wurde das Multi-Chip-Module- (MCM-) Konzept als Vorläufer der SiP-Technologie entwickelt. Dabei wurden in der Regel nur zwei Schaltkreise, meist gut zusammen passende Ein-

heiten wie Speicher und Prozessor, in einem Gehäuse zusammengefasst. Meist wurden diese beiden Schaltkreise auf einen Standardstreifen mit ausreichend Pins geklebt, einzeln gebondet und anschließend vergossen. Ein Substratdesign fand dabei nicht statt. Aufgrund der geringen Komplexität wurde ein durchgehender Design-Flow nicht vermisst.

Das SiP weist aber gegenüber dem MCM eine höhere Komplexität auf und bietet aufgrund der fortgeschrittenen Substrat- und Packaging-Technologie mehr Integrationsvarianten. Beispielsweise können für HF-Baugruppen benötigte Kapazitäten und Induktivitäten im Moduls substrat realisiert werden, um die Fläche des Einzel-ICs zu reduzieren. Das System wird aus komplexen Einzel-ICs verschiedener Technologien zusammengesetzt, wobei nur ein Teil der Pins der Einzel-ICs von außen erreichbar ist.

Der Entwurf dieser Systeme ist mit aktuellen, auf SoC ausgerichteten Entwurfswerkzeugen nicht mit der gewünschten Effizienz möglich. Ein optimales SiP-Design erfordert eine enge Interaktion zwischen IC und Substratdesign, letzteres ähnelt dem herkömmlichen Leiterplattenentwurf. Herausforderungen an den Entwurfsablauf entstehen durch:

Zusammensetzung des Projektkonsortiums:

Industriepartner:

Atmel Germany GmbH
Cadence Design Systems GmbH
Computer Simulation Technology
IMMS gGmbH
Infineon Technologies AG
Melexis GmbH
Schwarzer GmbH

Akademische

Unterauftragnehmer:

Fraunhofer IIS
TU Dresden
TU Hamburg-Harburg
Uni Erlangen-Nürnberg

Förderkennzeichen:

01 M 3084

Laufzeit des Vorhabens

01.07.2007–30.06.2010

Newsletter edacentrum Probeauszug
Bestellen Sie sich den kompletten Artikel
über newsletter@edacentrum.de

edacentrum, Hannover, März 2008