

6 Mitglieder

Nachrichten von Mitgliedern des edacentrum

www.edacentrum.de/portrait/mitglieder

cādence™

Cadence Design Systems GmbH

Cadence stellt Encounter Digital Implementation System mit neuen End-to-End Parallel Processing Flow vor

Das neue Tool ist eine konfigurierbare, digitale Implementierungsplattform, die eine extreme Skalierbarkeit bietet und eine vollständig parallele Verarbeitung über den gesamten Design Flow unterstützt. Darüber hinaus verfügt es über eine sehr effiziente neue Core-Speicherarchitektur, die ein leistungsfähigeres Design Closure mit hoher Kapazität auch mit nur einer CPU ermöglicht. Mit diesem neuen System erreichen die Entwickler bei fortschrittlichen Digital- und Mixed-Signal-Bauteilen deutlich kürzere Design-Zeiten, ein schnelleres Design Closure und eine kürzere Time-to-Market.

Neben einer höheren Leistung und Kapazität beinhaltet das Encounter Digital Implementation System auch neue Technologien für ein virtuelles Halbleiter-Prototyping, für die Abschätzung der Chipfläche sowie eine RTL- und physikalische Synthese. Dadurch wird eine verbesserte Vorhersagbarkeit und Optimierung in den frühen Stufen des Design Flows erreicht. Darüber hinaus werden mehrere neue und weiterentwickelte Implementierungs- und Design Closure Technologien vorgestellt.

Hierzu gehören:

- » automatische Floorplan-Synthese
- » End-to-End Multimode Multi-Corner Optimierung
- » Variations-tolerante Low-Power Clock Tree – und Clock Mesh-Synthese
- » Platzierung und Optimierung mit hoher Kapazität
- » Routing und eine fertigungsorientierte Optimierung für 32 Nanometer
- » Signoff-orientierte Implementierung
- » Flip-Chip-Design-Funktionen

Durch die fortschrittlichen Prozesstechnologien des Encounter Digital Implementation Systems, einschließlich einer Litho-, CMP-, sowie einer thermisch- und statistisch-orientierten Optimierung, ist es eine einzigartige Lösung für die Entwicklung von 45 und 32 Nanometer Designs – besonders bei aggressiven Design-Spezifikationen mit 100 Millionen oder mehr Instanzen und mit mehr als 1.000 Makros, bei Arbeitsgeschwindigkeiten über 1 GHz und extrem geringen Vorgaben bezüglich des Leistungsverbrauchs und bei großen Mengen von Mixed-Signal-Anteilen. Das

System zeichnet sich durch eine umfassende Fertigungs- und Variations-orientierte Implementierung, sowie eine durchgängige Multicore-Infrastruktur für ein schnelles, voraussagbares Design Closure aus.



Computer Simulation Technology GmbH

CST University Publication Award 2008: Winners Announced

The CST University Publication Award is an annual grant to university institutes and researchers for their work in the application of 3D EM field simulation. Now in its fifth year, the quality of the publications was outstanding. Prerequisites for participation are that the papers are authored or co-authored by academic researchers, published either in scientific journals or conference proceedings, and the numerical results are entirely or in part obtained through simulation using CST software products. Submissions were evaluated on a number of criteria including originality of the application or the theory, clarity of presentation, as well as the skilful usage of CST software features. For the first time in 2008, an additional special award for short papers was introduced. This acknowledges the impor-

Newsletter edacentrum Probeauszug
Bestellen Sie sich den kompletten Artikel
über newsletter@edacentrum.de

edacentrum, Hannover, April 2009

Kont@kt:

Andrea Huse

fon: (0 89) 45 63 – 17 26

a.huse@cadence.com

More information about CST's university program, the winner of the University Publication Award 2008 and the upcoming award 2009 can be found on the CST corporate website at: www.cst.com/Content/Company/UniProgram.aspx.

Kont@kt und Information

Ruth Jackson

fon: (0 61 51) 73 03 – 7 52

info@cst.com