

“Network on Chip – Alternative Solutions and Future Directions”

Podiumsdiskussion auf der CATRENE DTC am 10. Mai 2011 in Dresden

Die Netzwerk-basierte Kommunikation zwischen Chip-Komponenten mittels Network on Chip (NoC) war das Thema der ersten Podiumsdiskussion. Sie wurde von Bernard Candaele (Thales) moderiert. Diskussionsteilnehmer waren Cédric Plomion (Arteris) stellvertretend für die NoC IP Provider, Marcello Coppola (STMicroelectronics) als SoC Plattformintegrator, Fabien Clermidy (CEA-LETI) als Experte für NoC für 3D-Stacking Technologien und Ian O'Connor (Ecole Centrale de Lyon) für den Ausblick auf künftige optische Netzwerke auf einem Chip.



Abbildung 3.21: Bernard Candaele von Thales

Einleitend wies Candaele auf bekannte Herausforderungen von Bus- und NoC-Architekturen hin. Unter anderem müssen Frequenz- und Spannungsiseln überbrückt werden und trotz Datendurchsatz-Beschränkungen der bekannten Architekturen muss künftig Kommunikation mit 700-800 MHz möglich sein. Obwohl klassische Busstrukturen immer noch Verwendung finden, ist der de-facto Standard für die On-Chip Kommunikation bereits heute das NoC. Treiber für NoC-Architekturen sind die steigende Anzahl an Komponenten auf einem Chip, die mehr und schnellere Kommunikation erfordern.



Abbildung 3.22: Cédric Plomion von Arteris

Hierfür bietet der NoC IP-Provider Arteris Produkte zur netzwerk-basierten Kommunikation der Komponenten auf und zwischen Chips an. Plomion verglich die Kom-

munikationsstrukturen auf einem Chip mit einer Autobahn, die im Falle einer klassischen Busstruktur, wie sie vor ca. 15 Jahren eingesetzt wurden, nicht mehr als Auf- und Abfahrten für Master und Slaves berücksichtigen würden. Zudem bestehen wenige Möglichkeiten für das Priorisieren von Kommunikation zur Verfügung. Bereits geringfügige Ereignisse auf dem Bus verursachen im Bild der Autobahn einen Verkehrsstau.

Vorteile einer NoC Struktur liegen auch in der einfacheren Anbindung von zusätzlichen Chip-Komponenten, die beispielsweise erst sehr spät im Projektverlauf hinzukommen. Hier ist das NoC flexibler gegenüber der klassischen Busstruktur. Weitere Flexibilität bieten heutige NoCs dadurch, dass sie auf unterschiedliche Anforderungen (z.B. Durchsatz oder Latenz) hin auf einem Chip optimiert werden können.

NoC Strukturen sparen zudem Kosten, da sie u.a. Chipfläche sparen, dies kann Arteris anhand von Benchmarks nachweisen. Die Zeiteinsparungen bei der Implementierung einer NoC-Struktur in das Chip-Projekt ermöglichen es laut Plomion, zudem die R&D Ressourcen für andere Aufgaben einzusetzen.

NoC ermöglicht IP Plug&Play indem bereits heute unterschiedliche Verbindungen ersetzt werden, wie z.B. Bridges, asynchrone Bridges oder Power Domain Bridges. Dies wird laut Plomion durch eine einheitliche, neutrale Technologie ermöglicht. Die Neutralität, also die Unabhängigkeit von IP-Providern und Protokollen erfordert allerdings, dass Arteris in das NoC Eco-System eingebunden ist. Dieses Eco-System umfasst unter anderem die großen IP-Provider wie ARM, MIPS, Tensilica, Synopsys und die Kompatibilität zum TSMC-Referenz Flow 11. Pläne für die Zukunft zielen bei Arteris auf die Berücksichtigung physikalischer Einschränkungen bei der NoC-Implementierung. Beispielsweise hat der Floor-Plan direkten Einfluss auf das Zeitverhalten. Eindrücklich wurde das von Plomion



Abbildung 3.23: Marcello Coppola von STMicroelectronics