

Weitere Informationen zum edaWorkshop sowie eine Bildergalerie der Veranstaltung finden Sie unter [www.edacentrum.de/edaWorkshop/](http://www.edacentrum.de/edaWorkshop/).

## edaWorkshop und CATRENE DTC 2013 – Ein Rückblick

Von Jürgen Haase, Peter Neumann, Ralf Popp, Dieter Treytnar und Andreas Vörg



**Erneut fand der edaWorkshop wie schon 2009 und 2011 zusammen mit der CATRENE Design Technology Conference (DTC) in Dresden statt. Die Veranstaltung zog wieder einmal mehr als 100 Teilnehmer an, die an drei Tagen sechs Keynotes, eine Podiumsdiskussion sowie 21 Fachvorträge in 8 Sessions und eine umfangreiche Poster- und Demonstratoren-Ausstellung geboten bekamen. Die Themen beinhalteten sowohl detaillierte Erkenntnisse aus der nationalen und europäischen Projektarbeit, als auch Forschungsarbeiten außerhalb der Förderprojekte. Diese Mischung aus wissenschaftlichen und anwendungsorientierten Beiträgen lieferte wie schon in den Vorjahren einen guten Überblick über den derzeitigen Stand der deutschen und europäischen EDA-Forschung. Von einigen Höhepunkten der Veranstaltung wird in diesem Artikel berichtet.**

**Begrüßung – Helmut Warnecke – Infineon, Dresden**

### „Welcome remarks“

Bereits am frühen Morgen des 14. Mai war der Konferenzraum sehr gut gefüllt, als Helmut Warnecke, Geschäftsführer von Infineon Technologies Dresden und Mitglied des Vorstands von Silicon Saxony, die mehr als 100 registrierten Teilnehmer willkommenieß.

Mit spürbarer Begeisterung für die Stadt Dresden (er lebt dort seit mehr als 14 Jahren) präsentierte er eindrucksvolle Zahlen über den europaweit führenden Mikroelektronikstandort Dresden: Jeder zweite in Europa produzierte Chip sei „Made in Saxony“, von mehr als 51.000 Mitarbeitern in ca. 2.100 Unternehmen werden u. a. Material und Equipment für die Chip-Fertigung bereitgestellt, ICs entworfen und gefertigt und mit diesen ICs schließlich Elektronikprodukte entwickelt. Im Jahr 2000 wurde der Verein „Silicon Saxony e. V.“ gegründet, der heute mit seinen 300 Mitgliedern ein äußerst schlagkräftiges Netzwerk mit zahlreichen Initiativen, Arbeitsgruppen und Veranstaltungen darstelle.

Sein eigenes Unternehmen, Infineon Technologies, habe seit der Gründung im Jahr 1994 mehr als 3 Mrd. Euro in die Produktionsstätten am Standort Dresden investiert und beschäftige dort mehr als 2.000 Mitarbeiter in Entwicklung und Fertigung. Produziert werden auf 200 mm-



**Abbildung 3.02:** Helmut Warnecke von Infineon, Dresden begrüßt die edaWorkshop-Teilnehmer

und seit neuestem auch auf 300 mm-Siliziumwafern Halbleiterprodukte und Systemlösungen für Automobil- und Industrieelektronik, ebenso für sicherheitskritische Anwendungen wie Chip-Cards. 2011 wurde mit der weltweit ersten 300 mm-Fertigung für Leistungshalbleiter ein neues Kapitel der Geschichte von Infineon Dresden begonnen, das mit den entstehenden Märkten ein großes Potenzial für die Zukunft bietet.

Abschließend stellte Helmut Warnecke noch den Aufbau von Kapazitäten in Dresden für das Chip-Design in Aussicht, bevor er das Rednerpult für die Keynote-Vorträge des ersten Tages freigab. (Haa)



**Abbildung 3.01:** Blick in den Vortragsraum des edaWorkshop

Keynote – Maurizio Zuffada – Barcelona Supercomputer Center  
**„The industrial Deployment of the Silicon Photonics Technology“**

In der einleitenden Keynote „The industrial Deployment of the Silicon Photonics Technology“ beleuchtete Maurizio Zuffada, Director R&D bei STMicroelectronics die Problematik der unzureichenden Datenübertragungsraten elektrischer Systeme. Dies gelte nicht nur für die Datenübertragung via Kabel, sondern insbesondere auch für die „Inter-Chip-Kommunikation“ auf dem Board und letztendlich auch für die „Intra-Chip-Kommunikation“ innerhalb integrierter Schaltkreise. Als treibende Anwendung sei dabei laut Zuffada das High-Performance-Computing (HPC) zu betrachten.

Da die Intra-Chip-Datenübertragungsrate auf rein elektronischem Wege u. a. aus Gründen der begrenzten Bandbreite, des Crosstalks, des Energieverbrauchs und der resultierenden Wärmeentstehung nicht mit der sinkenden Technologiegröße skalieren, bietet sich die Integration von optischen Einheiten zur schnellen Datenübertragung auf dem gleichen Siliziumsubstrat als ein Lösungsweg aus der Misere an. Diese Vorgehensweise werde generell als „Silicon Photonics“ bezeichnet.

Kernelemente dieser Technologieintegration sind laut Zuffada die elektro-optischen (EO) Transmitter-/Receiver- (Tx/Rx) Einheiten, die mit Hilfe von integrierten Lasermodulen die elektrischen Signale in optische Signale (und umgekehrt) umwandeln. Den gegenwärtigen Stand der Technik veranschaulichte Zuffada anhand eines IC-Scans einer EO 40 Gbps Transceiver-Realisierung der US-Firma Luxtera.

„Silicon Photonics“ nehmen laut Zuffada gegenwärtig jedoch nur einen Nischenmarkt ein. Als große Herausforderungen der Zukunft auf dem Weg zum Massenmarkt seien die Reduzierung der Laserkosten (möglich durch Integration eines Photonics-Layers auf dem Chip), neue Methoden der Wärmeabfuhr (z. B. Fluidic Cooling) und die Reduzierung der Kosten für das elektro-optische Package zu betrachten.

Die Anforderung des High-Performance-Computing, die Kosten pro Gbps von gegenwärtig etwa 6 \$/Gbps

auf unter 0,02 \$/Gbps im Jahre 2022 zu senken, könne aber nur durch innovative Lösungsansätze erreicht werden. „Silicon Photonics“ sei dabei ein vielversprechender Ansatz, wie die von Zuffada präsentierte „Silicon Photonics“-Roadmap veranschaulichte.

Interessante Randnotiz zu dieser visionären Keynote: Eine Woche nach dem edaWorkshop13 vermeldete Mentor Graphics in einer Pressemitteilung die Kooperation mit OpSIS (Optoelectronic Systems Integration in Silicon, University of Delaware) und Lumerical Solutions Inc. (Vancouver, Canada). Das Ziel der Kooperation ist laut Pressemitteilung: „... to develop a complete EDA-style, full flow process design kit (PDK) for the OpSIS IME (Institute of Microelectronics) silicon photonics process“. (Ne)

Keynote – Jörg Winkler (GLOBALFOUNDRIES, Dresden)

**„Design Challenges for Advanced CMOS“**

In seinem Keynote-Vortrag stellte Dr. Jörg Winkler, Fellow Design Enablement bei GLOBALFOUNDRIES, die Herausforderungen vor, denen sich die Chipdesigner heute bei der Anwendung von Advanced CMOS-Technologien stellen müssen.

Besonders betonte er die Bedeutung der Kooperation zwischen Chipentwickler und Foundry-Partner. Beim traditionellen Modell nutzten Chipentwickler die Angebote der in der Regel geografisch fokussiert arbeitenden Auftragsfertiger mit fest vorgegebenen Technologiepaketen. Die nächste Stufe, von Winkler als „Foundry 1.0“ bezeichnet, sei gekennzeichnet von weltweit verteilten Fertigungsstätten, langfristigen Vereinbarungen, gemeinsamen Entwicklungen und einer Änderung der Rolle von einem reinen Auftragsfertiger zu einem Foundry-Partner. In der jetzt von GLOBALFOUNDRIES propagierten Stufe „Foundry 2.0“ soll das Beste aus beiden Welten – den Vorteilen eines klassischen IDM (Integrated Device Manufacturer) und der Flexibilität des Foundry-Modells – zum Modell des „Collaborative Device Manufacturing“ kombiniert werden. Eine nahtlose Kooperation soll eine Ausweitung der Strategie des Halbleiterunternehmens auf die



Abbildung 3.03: Maurizio Zuffada von ST Microelectronics bei seinem Keynote-Vortrag

newsletter **edacentrum**  
 Probeauszug

Bestellen Sie sich den vollständigen Artikel  
 über [newsletter@edacentrum.de](mailto:newsletter@edacentrum.de).

edacentrum, Hannover, 21. Dezember 2013