

MAYA: Neue Methoden für den Massiv Paralleltest im Hochvolumen, Yield Learning und beste Testqualität

Das Projekt MAYA sichert Fortschritte in Forschung und Entwicklung im EDA-Bereich Test

Um zukünftig am Halbleitermarkt erfolgreich agieren zu können, ist es notwendig, sowohl dem zunehmenden Bedarf an integrierten Schaltungen, wie auch dem weiter steigenden Kostendruck durch den internationalen Wettbewerb gerecht zu werden. Wesentliche Eckpfeiler einer erfolgreichen Strategie dafür sind eine Verkürzung von Entwicklungszeiten, sowie eine drastische Erhöhung der Produktivität. Dies kann erreicht werden durch die deutliche Reduktion von Entwicklungs- und Produktionskosten. Dabei wird ein erheblicher Teil dieser Kosten durch die Erstellung und Durchführung der notwendigen IC- und Systemtests verursacht. Bereits heute beträgt der Testkostenanteil integrierter Schaltungen bezogen auf den Gesamtaufwand etwa 30% – mit deutlich steigender Tendenz. Dieser hohe Prozentsatz ist zum einen bedingt durch die enormen Kosten für moderne, automatisierte Hardwaretester, zum anderen durch die drastisch steigenden Testzeiten. Integrierte Schaltungen mit mehreren Millionen Gattern werden derzeit strukturell und funktional getestet. Zukünftige Anforderungen an die Erkennung komplexer Fehlermechanismen und ihre Abbildung in dazugehörigen Fehlermodellen für z. B. Pfadverzögerungen lassen die Komplexität des Produktionstests überproportional ansteigen. Die Testzeiten für moderne Produkte nehmen damit im Verhältnis stärker zu als die Anzahl der Gatter.

Bis zum Jahr 2008 wird sich die Größe digitaler Schaltungen von 10 Millionen auf etwa 100 Millionen Gatter verzehnfachen, was zu längeren Prüfketten führen wird. In den zukünftigen Prozessgenerationen unter 100 nm werden neue Fehlerarten immer mehr in den Vordergrund rücken, was zu einer Erhöhung der Anzahl benötigter Testvektoren um einen Faktor 4 führen wird. Die Kosten zum Testen solcher ICs und ihre enormen Datenmengen werden sich dabei mindestens um einen Faktor 3, die Testzeit um einen Faktor 10 erhöhen. Selbst ohne Berücksichtigung steigender Pinzahlen werden somit die Testkosten pro IC um einen Faktor 120 explodieren! Es ist daher zwingend notwendig, nach neuen Lösungsansätzen zu suchen, um die daraus resultierenden Testkosten drastisch zu senken. Um die Herausforderungen an den Produktionstest bei derartigen Komplexitätssteigerungen zukünftig bewältigen zu können, dürfen Kostenreduktionen nicht länger im Prozentbereich liegen. Vielmehr sind Verfahren erforderlich, welche die Kosten für den Produktionstest integrierter Schaltungen um Größenordnungen reduzieren.

Ziele des Projekts MAYA

Moderne Schaltungen zeichnen sich aus durch zunehmend komplexere Leitungsstrukturen, die über eine große Anzahl von Metallebenen verlaufen. Auf diesen Leitungen, vom Treiber bis hin zu den verschiedenen Empfängern, können Haftfehler, Unterbrechungen, Verzögerungsfehler oder Kurzschlüsse auftreten. Schaltungsmodelle, die nur dem logischen Verhalten der realen Schaltung entsprechen und nicht speziell Fehler auf diesen sehr komplexen Verdrahtungsstrukturen berücksichtigen, werden für die automatische Testgenerierung in Zukunft nicht mehr ausreichend sein. Es wird vielmehr ein Schaltungsmodell benötigt, das zweierlei Verhalten, d. h. das logische Verhalten und das Verhalten der Schaltung im layout-bezoge-

nen Fehlerfall, beschreiben kann. Nur so wird die notwendige Testabdeckung beim Produktionstest erreicht. Um zukünftig diese notwendige Qualität beim Produktionstest zu erreichen, müssen für neue Halbleitertechnologien daher zusätzliche Tests für neue Fehlermodelle bereitgestellt werden. Dazu werden im Projekt MAYA Verfahren erforscht, die es ermöglichen, die notwendigen Testmuster für die Produktionsfehler an allen Leitungssegmenten in Very-Deep-Sub-Micron Designs (< 100 nm) zu berechnen.

System-in-Package- (SiP-)Architekturen werden in Zukunft die Integration verschiedenster klassischer Produkte in einem einzigen Gehäuse ermöglichen. Die immer weiter fortschreitende Reduzierung der Strukturbreiten in der Mikroelektronik ermöglicht dabei zum einen immer höhere Packungsdichten und verschiebt zum anderen die Grenzfrequenzen in immer höhere Bereiche. Um solche anspruchsvollen Module noch kostengünstig im Hochvolumen testen zu können, müssen zukünftig Selbsttestlösungen für alle Mixed-Signal-Komponenten eines SoC (System On Chip) zur Verfügung stehen. Gelingt es, im Projekt MAYA ausschließlich digitale Ressourcen auf dem Chip sowohl für die Erzeugung der analogen Testsignale als auch für die Erfassung und Weiterverarbeitung der Testantworten zu verwenden, können teure Analog- und Mixed-Signal-Tester durch kostengünstigere, übliche Digitaltester ersetzt werden. Für den hochparallelen Test vieler Bausteine ist ein signifikanter Beitrag zur Reduzierung der gesamten Testkosten zu erwarten.

Um den zukünftigen Qualitätsanforderungen, wie z. B. der Vorgabe, dass integrierte Bausteine im Sicherheits- und Automobilbereich nicht einen einzigen Fehler enthalten dürfen (Null-Fehler-Vorgabe), gerecht werden zu können, müssen neue Methoden und Werkzeuge

Zusammensetzung des Projektkonsortiums:

Projektpartner:

- » Infineon Technologies AG
- » NXP Semiconductors Germany GmbH

Unterauftragnehmer:

- » Universität Bremen
- » IIS/EAS Dresden
- » Universität Potsdam
- » Redemund & Thiede Datentechnik
- » Universität Stuttgart

Förderkennzeichen:

01M3172

Laufzeit:

01.06.2006 – 31.05.2009

Themenbereiche von MAYA	Einsparpotential durch MAYA ein Jahr nach Projektende	Längerfristiges Einsparpotential durch MAYA
Massiv-Paralleltest	256 Chips gleichzeitig	Faktor 10
Kostenreduktion Testdurchführung	Faktor 2	Faktor 3
Kostenreduktion Tester	Faktor 2	Faktor 3
Flächensparnis mit ROM DLBIST	Faktor 2	Faktor 3
Zeitverkürzung Testdurchführung	Faktor 2	Faktor 3
Verkürzung DfT Entwicklung	Faktor 2	Faktor 3

Tabelle 1.01: Zusammenfassung der geplanten Ziele von MAYA

erforscht und entwickelt werden. Das Projekt MAYA will diesen Herausforderungen mit neuesten Techniken zur massiv parallelen Datenerfassung auf dem Chip in Kombination mit innovativen Lösungen für den Multi-Site-Test und die schnelle Datenübertragung off-Chip begegnen. Multi-Site steht hier für den Massiv-Paralleltest, bei dem möglichst viele Chips oder SiPs beim Testen parallel angesteuert und ausgelesen werden können. Durch deren Einsatz soll sowohl im schnellen Technologieanlauf als auch im Produktionstest die dringend gebotene Durchsatzsteigerung beim Hochvolumentest mit der geforderten Qualität erzielt werden.

Tabelle 1.01 gibt eine Zusammenfassung über die geplanten Ziele von MAYA und enthält auch die Ein-

schätzung des längerfristigen Einsparpotentials durch die Ergebnisse von MAYA. Alle neuen Verfahren müssen grundsätzlich für die Massenproduktion komplexer Schaltungen und Systeme ausgelegt werden. Aus heutiger Sicht ist die Erweiterung um defekt-basierte Fehlermodelle der einzig gangbare Weg, um die zusätzlich ständig steigenden Qualitätserwartungen mit vertretbaren Kosten zu erfüllen. Diese Maßnahmen werden die Wettbewerbsfähigkeit der deutschen Mikroelektronik auf dem Gebiet der Methodenentwicklung und Bereitstellung von kostengünstigsten Testverfahren für den Produktionstest von integrierten Schaltungen erhalten und ausbauen, und somit einen wesentlichen Beitrag zum Erhalt und Aufbau von R&D-Arbeitsplätzen in Deutschland leisten.

Autor und Kontakt (MAYA):
 Dr. Sebastian Sattler
 Infineon Technologies AG
 fon: 089 234 22394
 sebastian.sattler@infineon.com



VISION – Verteilte integrierte Systeme und Netzwerkarchitekturen für die Applikationsdomänen Automobil und Mobilkommunikation

Projekt zur Erhöhung der Ausfallsicherheit von vernetzten Systemen im Kraftfahrzeug und in der mobilen Kommunikation gestartet.

Zusammensetzung des
 Projektkonsortiums:

Projektpartner:

Robert Bosch GmbH <<
 Cadence Design Systems GmbH <<
 Forschungszentrum
 Informatik Karlsruhe <<
 Infineon Technologies AG <<

Unterauftragnehmer:

OFFIS e.V. – Institut für
 Informatik <<
 Universität der Bundeswehr
 München <<
 Eberhard Karls Universität
 Tübingen <<

Im Automobilbereich als auch im Bereich der Mobilkommunikation ist die Fähigkeit, eine Vielzahl von neuen Funktionalitäten in einem verteilten Systemszenario zu integrieren, eine Voraussetzung geworden, um im Markt zu bestehen. Und dies muss natürlich ohne Senkung der Produktivität und mit hohen Sicherheits- und Qualitätsanforderungen bei gleichzeitiger Betrachtung der wirtschaftlichen Aspekte erreicht werden. Die Erforschung einer domänenübergreifenden Entwurfsmethodik für verteilte mikroelektronische Systeme unter Berücksichtigung komplexer Umgebungsbedingungen und effiziente applikationsspezifische Entwurfsprozesse ist daher das Ziel von VISION.

Motivation

Intelligente eingebettete Systeme sowohl in der Automobil- als auch in der Telekommunikationstechnik werden zunehmend durch einen steigenden Vernetzungsgrad charakterisiert. In Zukunft wird neue

Funktionalität weniger durch die Summe der Einzelkomponenten sondern durch deren gegenseitige Vernetzung realisiert. Innerhalb eines vernetzten Systems wird eine neue Systemfunktion realisiert, ohne dass hierfür der Netzwerkstruktur neue Komponenten hinzuzufügen sind – die neue Systemfunktion resultiert vollständig „aus der Vernetzung“. Dieser Wandel im Produktbereich zwingt zunehmend zu einem Paradigmenwechsel im Entwurf. Der bestehende komponentenzentrierte Entwurf muss einer ganzheitlichen Sicht auf ein vernetztes System weichen, um frühzeitig die Auswirkungen der Vernetzung analysieren und bewerten zu können.

Projiziert auf die Designfähigkeit künftiger deutscher Schlüsselapplikationen lässt sich daraus ableiten, dass mit verfügbaren Mitteln der Entwurf vernetzter Systeme mit wirtschaftlich vertretbarem Aufwand nicht mehr möglich sein wird. Und doch sind diese