



SAMS - Strukturelle Synthese von analogen Schaltungen

Der Entwurf analoger Schaltungen ist durch eine Vielzahl von iterativen, anwendungsspezifischen Methoden für sehr unterschiedliche Problemklassen gekennzeichnet und durchläuft unterschiedliche Abstraktionsebenen und Beschreibungsdomänen mit verschiedenen Modellierungssprachen. Derzeitige Arbeiten zur Entwurfsautomatisierung analoger Schaltungen befassen sich vor allem mit der Dimensionierung und Wiederverwendung. Demgegenüber werden dringend durchgängige Lösungsvorschläge für eine industriell einsetzbare Struktursynthese benötigt. An dieser Stelle setzt das EDA-Clusterforschungsprojekt SAMS an, indem an einem durchgängigen Struktur-Entwurfsprozess für analoge Schaltungen geforscht wird. Die beteiligten Forschungseinrichtungen explorieren neue Entwurfstechnologien zur Top-Down-Synthese ausgehend von der Systemebene bis hin zur elektrischen Ebene und validieren diese an Schaltungsbeispielen industrieller Partner.

Bei dem Projekt SAMS handelt es sich um eins der so genannten EDA-Clusterforschungsprojekte, in denen Lösungen für EDA-Methoden und Verfahren erforscht werden, die in 5-10 Jahren in der Industrie zum Einsatz kommen können. Dabei steht die Vernetzung unterschiedlicher Einzellösungen in Richtung einer geschlossenen Methodik im Mittelpunkt. Die erforschten EDA-Methoden werden sowohl die Entwurfsproduktivität als auch die Entwurfsqualität deutlich steigern.

Themenschwerpunkte

Die Arbeiten des Projekts verteilen sich auf die drei Abstraktionsebenen Systemebene, Architekturebene und Schaltungsebene. Für die Synthese sind Werkzeuge zur Transformation und Verfeinerung von Blöcken und Signalen innerhalb und zwischen den beschriebenen Ebenen notwendig. Darüber hinaus müssen die Erzeugung einer Vielzahl von Transistorstrukturen, schnelle Bewertungsverfahren zur Lösungsraumexploration sowie eine synthesesegerechte Modellierung in allen Hierarchien ermöglicht werden.

Struktur des Projekts und Arbeitspakete

Das Projekt teilt sich in die zwei Arbeitspakete "Architektursynthese" und "Schaltungssynthese" mit je drei Aufgaben auf, die nachfolgend kurz beschrieben werden. Dabei befassen sich die beiden letzten Aufgaben jedes Arbeitspaketes mit der über die Grenzen von Abstraktionsebenen reichenden synthesesegerechten Modellierung, die eine iterative Modell-Verfeinerung auf den oberen Ebenen durch Informationen aus der elektrischen Ebene ermöglicht.

Arbeitspaket 1: Architektursynthese

Für den ersten Syntheseschritt werden objektorientierte Modellierungsmethoden für die Verfeinerung von Architekturvarianten untersucht. Der Schwerpunkt liegt dabei auf der Untersuchung von Schnittstellen und Signalen von der Systemebene hin zur Architekturebene. Da SystemC auf Systemebene im starken Maße eingesetzt wird, werden u.a. auch Ansätze zur analogen Spracherweiterung betrachtet und dazu Lösungen vorgeschlagen. Die Hauptaufgabe liegt darin, Methoden zur interaktiven Verfeinerung und schnellen Bewertung unterschiedlicher Architekturvarianten zu erforschen. Für den nächsten Syntheseschritt werden Methoden zur Verfeinerung einer Architektur durch Transformation der Funktionsblöcke untersucht. Diese Verfeinerung basiert auf der Sprache VHDL-AMS, die zur Beschreibung von Modulen häufig eingesetzt wird. Ziel ist es hierbei, Methoden zu erforschen, mit denen die Spezifikationsabbildung anwendungsspezifisch gesteuert wird. Hierdurch ergibt sich auch ein Übergang von einer Schaltungsbeschreibung in SystemC-AMS auf VHDL-AMS.

Arbeitspaket 2: Schaltungssynthese

Auf der Schaltungsebene werden Verfahren zur schnellen Bewertung von Strukturvarianten erforscht. Mit ihrer Hilfe werden analoge Schaltungsstrukturen auf Transistorebene sehr schnell unter Berücksichtigung der verfügbaren Daten der Schaltungsspezifikation und Prozesstechnologie analysiert. Dies führt zu einer Beschleunigung des Entwurfsvorgangs und zu besseren Entwurfsergebnissen, da eine Vielzahl neuer Varianten identifiziert werden können. Ein weiterer Aspekt sind Verfahren zur automa-

tischen Topologiesynthese erforscht. Die Strukturen sollen durch systematisches Hinzufügen von Transistoren iterativ erzeugt, dimensioniert und bewertet werden. Hierzu werden Analyse- und Dimensionierungsverfahren im Projekt erarbeitet und eingesetzt.

Aufgabe 1.1: Objektorientierte Methoden zur Verfeinerung von Signalen

Der Entwurf komplexer, heterogener Systeme beginnt meist mit einer ausführbaren Spezifikation. Ziel ist hier die interaktive Verfeinerung zu einer Architektur und die Verifikation bereits synthetisierter Schaltungen auf Systemebene. Problematisch ist bisher, dass zur Beschreibung von Spezifikation, Architektur und Schaltung ganz verschiedene Formalismen verwendet werden. Die hier erarbeitete Lösung sieht die Einführung polymorpher Signale vor. Polymorphe Signale konvertieren implizit Signale zwischen unterschiedlichen Darstellungs- und Beschreibungsformen und überprüfen damit die Schnittstellen auf Konsistenz. So unterstützen sie das interaktive Austauschen von Teilen der ausführbaren Spezifikation oder eines Schaltungsmodells gegen Schaltungsvarianten. Sie sind effizient für die Verfeinerung im Entwurfsprozess und die Verifikation durch die Simulation synthetisierter Schaltungen in einer System-Testbench einsetzbar.

Prototyp – POLYSIGNAL

Zur Demonstration der Verfeinerung wurde der Prototyp POLYSIGNAL auf Grundlage einer prototypischen Version von SystemC-AMS entwickelt, der eine Kopplung von Modellen auf unterschiedlichen Abstraktionsebenen automatisiert.



Stand
Q4/2005

Projektinformation

Förderkennzeichen

01 M 3070

Förderzeitraum

01.11.2003 bis 31.10.2006

Schlüsselworte:

Analog, Mixed-Signal,
Synthese, Struktursynthese,
Modellierung, SystemC,
VHDL-AMS

Kontakt:

Dr. V. Schöber
edacentrum
30167 Hannover
schoeber@edacentrum.de

Zusammensetzung des Projektkonsortiums:

Forschungspartner:

- » Johann Wolfgang Goethe-Universität Frankfurt
- » Technische Universität Darmstadt
- » Technische Universität München
- » Fraunhofer-Gesellschaft zur Förderung der angewandten Forschung e.V.

Industriepartner:

- » AMD Saxony LLC & Co. KG
- » Atmel Germany GmbH
- » Cadence Design Systems GmbH
- » Deutsche Thomson-Brandt GmbH
- » Infineon Technologies AG
- » Lucent Technologies Network Systems GmbH
- » Melexis GmbH
- » MunEDA GmbH
- » Nokia GmbH
- » PDF Solutions GmbH
- » Philips Semiconductors GmbH
- » Robert Bosch GmbH
- » X-Fab Semiconductor Foundries AG

Aufgabe 1.2: Transformationsgestützte Methodik zur Vorbereitung der Struktursynthese analoger Schaltungen"

Ziel der Analogsynthese auf Architekturebene ist die Erforschung von Verfeinerungsverfahren von Schaltungsmodulen. Der grundlegende Algorithmus hierfür baut auf drei generischen Verfahren auf, die als Schnittstellenumwandlung, Code Refactoring und ODAE Partitionierung bezeichnet werden (ODAE: Gewöhnliche Differential-Algebraische Gleichungen). Die Schnittstellenumwandlung dient vorwiegend der Abbildung von Interface-Beschreibungen nichtkonservativer Signalflussmodelle auf die entsprechenden Schnittstellen von konservativen Verhaltensmodellen.

Prototyp – RAMS

Die genannte Methodik wurde in dem CAE-Werkzeug RAMS prototypisch implementiert. Die neu entwickelte Methodik unterstützt den Top-down Entwurfsablauf, der die Abstraktionshierarchie von der Systemspezifikation bis hin zur Transistornetzliste traversiert. Erste Forschungsergebnisse wurden bereits publiziert und fanden international Beachtung.

Aufgabe 2.1: Schnelle Bewertung von Strukturvarianten analoger Schaltungen

Die Dimensionierung von einstellbaren Parametern spielt eine entscheidende Rolle, da erst mit ihr die tatsächlichen Schaltungseigenschaften feststehen. Bei der Synthese einer Schaltungsstruktur müssen üblicherweise sehr viele, manchmal Tausende von Strukturvarianten verglichen werden, bevor eine geeignete Schaltungsstruktur gefunden ist. Ziel ist es hier, Verfahren zu erforschen, mit denen analoge Schaltungsstrukturen auf Transistorebene besonders schnell analysiert werden können. Gelingt dies, wird auf diese Weise zum ersten Mal ermöglicht, eine sehr große Anzahl von Strukturvarianten zu betrachten, u.a. auch Varianten, die zuvor aus Aufwandsgründen nicht hätten berücksichtigt werden können.

Aufgabe 2.2: Struktursynthese von Analogschaltungen auf Transistorebene

Es wird ein Verfahren zur Topologiesynthese analoger Schaltungen auf Transistorebene erforscht. Dabei kommt der hierarchischen Realisierung einer Schaltung aus Transistorgruppen (z.B. Stromspiegel, Differenzpaar), hier Funktionsblöcke genannt, eine große Bedeutung zu. Das Syntheseverfahren nutzt eine hierarchische Datenbank, in der analoge Grundbausteine und die entsprechenden Basisblöcke sowie eine Reihe von Syntheseregeln abgelegt sind.

In einem Kompositionsverfahren werden Funktionsblöcke aus den zusammengesetzten Grundbausteinen in einer Blockkette aufgebaut. Die Syntheseregeln geben dabei die Anordnung der Grundbausteine vor. Die endgültige Dimensionierung der Funktionsblöcke erfolgt durch das Software-Paket WiCkeD von MunEDA. Damit konnte gezeigt werden, dass die Spezifikation mit ihren Randbedingungen mit der synthetisierten Schaltung erfüllt wurde.

Prototyp - EAST

Der entwickelte Prototyp EAST (Explorative Synthesis of Topologies) ermöglicht die Struktursynthese und Identifizierung geeigneter Schaltungen, was bereits am Beispiel von Operationsverstärkern mit Erfolg gezeigt werden konnte.

Aufgaben 1.3 und 2.3: Synthesegerechte Modellierung auf Architektur- und Schaltungsebene

Das Wissen über Zusammenhänge auf der Schaltungsebene (Abhängigkeiten zwischen Parametern, Berücksichtigung parasitärer Effekte) wird mittels synthesegerechter Modellierung auf ein höheres Abstraktionsniveau transformiert, um die dort anstehenden Entwurfsentscheidungen fundierter treffen zu können. Im Verlaufe der Architektursynthese werden aus algorithmischen Systemmodellen Strukturen auf Blockebene erzeugt. Werden zu den einzelnen Blöcken Schaltungstopologien

synthetisiert oder aus einer vorhandenen Bibliothek ausgewählt, können mit Hilfe einer synthesegerechten Modellierung Parameter und Kennlinien zu diesen Blöcken ermittelt werden. Damit lassen sich die Strukturmodelle parametrieren und verfeinern. Im Projekt werden analytische, numerische und symbolische Modellierungsverfahren im Hinblick auf die Unterstützung der Analogsynthese untersucht, bewertet und am Beispiel getestet.

Prototyp – Chameleon

Für die Umsetzung automatisierbarer Modellierungsschritte wurde der Software-Prototyp Chameleon (Characterization and Modeling Environment) erstellt. In diese offene Modellierungsplattform werden geeignete Verfahren und Werkzeuge integriert, die der Charakterisierung, Modellgenerierung und Modellparametrisierung zur Steuerung der Synthese dienen.

Resümee

Mit den aktuellen Ergebnissen deutet sich an, dass der vom Projekt eingeschlagene Weg zur Synthese analoger Schaltungen zukunftsweisend bei der Verbesserung der Entwurfsmethodik in Forschung und Anwendung sein kann. Es ist jedoch nur ein erster Schritt. Weitere Anstrengungen sind notwendig, um die ersten schmalen Wege eines durchgängigen Syntheseprozesses für analoge Schaltungen auf eine breite und industrierelevante Basis zu stellen. Dies geht nur in enger Zusammenarbeit mit der Anwenderindustrie.

Das SAMS-Projekt wurde im November 2003 gestartet und hat eine Laufzeit von 3 Jahren. Das Forschungskonsortium setzt sich aus den Universitäten TU München, TU Darmstadt sowie der Uni Frankfurt und dem Fraunhofer Institut Dresden zusammen. Dieses Informationsblatt zu SAMS entstand aus einem Bericht für den edacentrum newsletter 01 2006, der einen Überblick über die Ziele und die Ergebnisse nach zwei Jahren Projektlaufzeit gibt.

Das Projekt SAMS wird vom BMBF, der DLR dem edacentrum und von mehreren einem Industriekonsortium (s.o.) finanziell und fachlich unterstützt.

