

- lässigkeit und Entwurf, pp.43-48, Ingolstadt, 29.09.–01.10.2008
- [7] F. Thomas, E. Amirante, K. Hofmann, M. Ostermayr, P. Huber, D. Schmitt-Landsiedel, A 65nm teststructure for the analysis of NBTI induced statistical variations in SRAM transistors, Proc. ESSDERC, pp. 51–54, 2008
- [8] B. Dimov, E. Hennig, Ch. Lang, R. Sommer, Direct Performance Evaluation of Bipolar Transistor Devices for Analog Circuit Design, Proc. SMACD'08, pp. 49–55, 2008
- [9] B. Dimov, V. Boos, T. Reich, Ch. Lang, E. Hennig, R. Sommer, Optimization of Analog Circuits with Automatic Device Type Selection, Proc. SMACD'08, pp. 44–48, 2008
- [10] M. Pehl, T. Massier, H. Graeb, U. Schlichtmann, A Random and Pseudo-Gradient Approach for Analog Circuit Sizing with Non-Uniformly Discretized Parameters, ICCD, 2008
- [11] T. Massier, H. Graeb, U. Schlichtmann, The Sizing Rules Method for CMOS and Bipolar Analog Integrated Circuit Synthesis, IEEE Trans. CAD, 2008
- [12] G. Georgakos, Erfordert die Berücksichtigung von Umwelteinflüssen (Strahlung) einen Paradigmenwechsel beim Entwurf robuster Systeme, Fach- & Kooperationsworkshop „Facetten der Robustheit“, Hannover, 28.10.2008
- [13] D. Lorenz, Analyse der Alterung bei digitalen Schaltungen, Fach- & Kooperationsworkshop „Facetten der Robustheit“, Hannover, 28.10.2008
- [14] D. Kirsten, V. Schulze, D. Nuernbergk, One Step Autozeroing Two Stage Amplifier with Floating Gate Memory Cells, DATE'09, Nice, France, 20.04.–24.04.2009
- [15] D. Lorenz, G. Georgakos, U. Schlichtmann, Aging Analysis of Circuit Timing Considering NBTI and HCI, IOLTS 2009, 24.06.2009, Lissabon, Portugal
- [16] H. Melzner, Yield Optimization and Assessment Methodologies in Physical Design, CATRENE/MEDEA+ DTC/edaWorkshop09, Dresden, 26.05.–28.05.2009
- [17] H. Gräß, Challenges in Analog Sizing for Yield and Reliability, CATRENE/MEDEA+ DTC/edaWorkshop09, Dresden, 26.05.–28.05.2009

## Optimierung integrierter Schaltungen im Hinblick auf Alterungseinflüsse

Beispiel eines automatisierten Entwurfsablaufes für analoge Schaltungen

**Im Zuge voranschreitender Miniaturisierung muss mit steigenden Einflüssen von Alterungseffekten bei integrierten Schaltungen gerechnet werden. In diesem Beitrag wird am Beispiel einer Analogschaltung illustriert, dass eine Optimierung im Hinblick auf hohe Produktionsausbeute nicht ausreicht, um eine auch im Hinblick auf Alterung optimale Schaltung zu erhalten. Es wird ein neuer Entwurfsablauf vorgestellt, mit dem zu erwartende Alterungseffekte bereits während der Entwurfsphase minimiert werden.**

### Einleitung

Der Entwurf von integrierten Schaltungen ist damit konfrontiert, immer mehr physikalische Effekte berücksichtigen zu müssen. Für den Entwurf einer robusten Schaltung reicht es in naher Zukunft beispielsweise nicht mehr aus, Schwankungen im Produktionsprozess, wie Dotierungsfluktuationen, und spezifizierte Betriebsbereiche z. B. für Temperatur und Versorgungsspannung zu betrachten. Darüber hinaus müssen zeitabhängige Veränderungen wie NBTI (negative bias temperature instability) und HCI (hot carrier injection) berücksichtigt werden, die zur Alterung einer Schaltung beitragen [1].

Bisherige Arbeiten konzentrieren sich meist auf die Modellierung der Degradation von Transistorparametern über der Lebenszeit und den daraus resultierenden Auswirkungen auf Schaltungseigenschaften [2–4], oder sie behandeln die Optimierung einer Schaltung im Hinblick auf die Produktionsausbeute [5]. Erste Ansätze, sowohl Produktionsschwankungen als auch Alterungseffekte beim Entwurf zumindest zu analysieren, gibt es aber. In [6] beispielsweise werden Produktionsschwan-

**newsletter edacentrum - Probeauszug**  
Bestellen Sie sich den kompletten Artikel  
über [newsletter@edacentrum.de](mailto:newsletter@edacentrum.de)

edacentrum, Hannover, Oktober 2009