

einfache Schnittmengenbestimmung überprüft werden, ob die Spezifikation immer eingehalten wird.

Eigenschaftsprüfung

Zur zweiten Gruppe gehören Verfahren, die viel kompliziertere Spezifikationen mit verschachtelten „wenn – dann“-Zeitbedingungen prüfen können [3]. Sie machen im Gegenzug häufig Abstriche in der Beweisbarkeit der Modellierung durch punktweises Abtasten [3] oder Einschränkung in der Modellbildung [7]. Die im ersten Abschnitt dieses Artikels genannte Spezifikation (im Kasten) wurde mit solchen Verfahren erfolgreich vollautomatisch geprüft. Die Abbildungen 1.23 und 1.25 geben einen Eindruck von den Zwischenergebnissen während eines solchen Verifikationslaufs. Für weiter-

gehende Verfahren sei auf das Projekt VeronA und die Literatur verwiesen.

Zusammenfassung

Die in diesem Artikel vorgestellten Methoden und Verfahren können dem Entwickler in ihrem Anwendungsgebiet helfen, ohne großen Mehraufwand das Vertrauen in die Korrektheit des Entwurfs zu steigern. Sie sind nicht als Ersatz der Simulation gedacht, sondern ergänzen diese mit dem Ziel, solche Fehler in Entwurfs- und Betriebszuständen automatisiert zu finden, die bei einer herkömmlichen Simulation übersehen werden können. Damit helfen sie, teure Redesigns zu vermeiden und die Zuverlässigkeit der Schaltung zu erhöhen.

Autor & Kontakt:
Prof. Dr. Lars Hedrich
fon: (0 69) 7 98 – 2 22 97
hedrich@em.cs.uni-frankfurt.de

RapidMPSoC: Rapid System Prototyping und Plattform-basierter Entwurf für Mixed-Signal Mehrprozessor SoC

Projekt zur Beschleunigung des Analog/Mixed-Signal (AMS) Entwurfs auf den hohen Abstraktionsebenen



Am 12. Dezember 2007 fand bei Infineon in München das Kick-off-Meeting des neuen Ekompas-Projekts RapidMPSoC statt. RapidMPSoC steht für „Rapid System Prototyping und Plattform-basierter Entwurf für Mixed-Signal-Mehrprozessor-SoC“ und befasst sich mit der Beschleunigung des Analog-Mixed-Signal-Entwurfs auf den hohen Abstraktionsebenen. Hierfür arbeiten die Projektpartner an den nachfolgenden vier Themenkomplexen.

Technologieunabhängiger Entwurf von Analog-IP

Es wird eine Methode entwickelt, die eine technologieunabhängige Beschreibung von Analog-IP auf Verhaltensebene gestattet. Die entsprechenden Verfahren werden innerhalb des Projektes für A/D-Wandler mit abtastenden Algorithmen entwickelt. RapidMPSoC hat das Ziel, damit bei der Implementierung sowie beim Übergang zu einer neuen Technologie den Entwurfsaufwand um ca. 20 % zu reduzieren.

Analoge Architekturen und Schnittstellen zu Mehrprozessorsystemen

An speziellen Analog/Mixed-Signal-Architekturen aus dem Automotive-Bereich werden Untersuchungen durchgeführt, inwieweit bereits auf hoher, abstrakter Algorithmenebene der Aufwand und die Kosten für die spätere Implementierung abgeschätzt werden können. Ziel ist es, mit Hilfe der entwickelten Architekturen schon bei der Definition und Standardisierung der Algorithmen, Protokolle und Übertragungsverfahren die effiziente Realisierbarkeit der analogen Systemteile sicherzustellen. Dies bringt einen klaren Marktvorteil

und kann die Entwurfszeit für die Spezifikation um bis zu 30 % verkürzen.

Systementwurf

Der Fokus im Hinblick auf den Systementwurf liegt auf den Analog/Mixed-Signal-Teilsystemen mit Betrachtung der Schnittstellen zum Gesamtsystem. Durch abstraktere Beschreibungen können Mixed-Signal-Mehrprozessorsysteme mit ihrer unmittelbaren Umgebung simuliert werden. Um solche Simulationen durchführen zu können, wird in

Zusammensetzung des Projektkonsortiums:

Projektpartner
Infineon Technologies AG
IMMS gGmbH
Melexis GmbH
Robert Bosch GmbH
X-FAB Semiconductor
Foundries AG

Unterauftragnehmer

Fraunhofer IIS/EAS
OFFIS e. V. – Institut für Informatik
Technische Universität München (LIS)

Förderkennzeichen

01 M 3085

Laufzeit des Vorhabens:

01.10.2007–30.09.2010

Homepage:

www.edacentrum.de/rapidmpsoc/

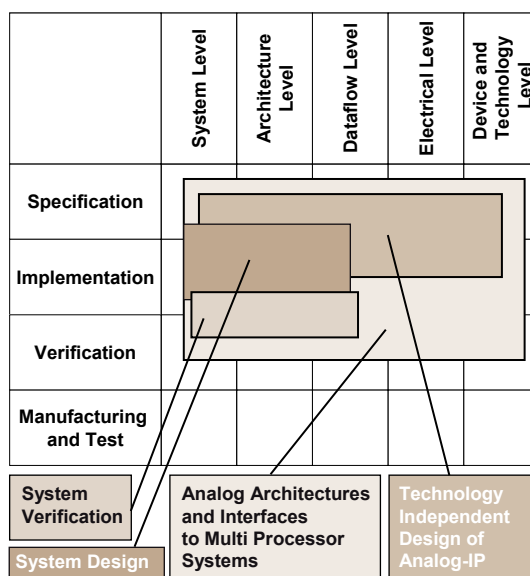


Abbildung 1.30: RapidMPSoC in der edaMatrix

Kont@kt RapidMPSoC:
 Dr. Andreas Vörg
 (Projektmanagement)
 edacentrum GmbH
 Schneiderberg 32
 30167 Hannover
 fon: (05 11) 7 62 – 1 96 86
 voerg@edacentrum.de

RapidMPSoC die Simulationsgeschwindigkeit bei vergleichbarer Genauigkeit um mindestens den Faktor 10 gesteigert werden.

Systemverifikation

Der Fokus bei der Systemverifikation liegt auf den Analog/Mixed-Signal-Teilsystemen mit Betrachtung der Schnittstellen zum Gesamtsystem. Ausgehend von der schnellen Simulation werden Assertion-basierte Simulationsverfahren zur schnellen Systemverifikation entwickelt. Das Ziel ist, ein Mixed-Signal-Mehrprozessorsystem mit allen Teilkomponenten verifizieren zu

können. Verifikation wird dabei bereits ab der hohen algorithmischen Abstraktionsebene bis zum Systementwurf mit der analog/digitalen und Hardware-/Software-Partitionierung betrachtet. Ziel ist es, die Entwurfssicherheit signifikant zu erhöhen, die Vielzahl der zu unterstützenden Standards im Entwurfprozess beherrschbar zu machen und den Verifikationsaufwand mindestens zu halbieren.

Projektkoordinator ist Andreas Foglar, Infineon Technologies AG. Das edacentrum unterstützt Infineon beim Projektmanagement. (AV)

σ65

Sigma65: Technologiebasierte Modellierung und Analyseverfahren unter Berücksichtigung von Streuungen im 65nm-Knoten

von Manfred Dietrich

Zusammensetzung des Projektkonsortiums:

Partner:

Fraunhofer-IIS/EAS
 Infineon Technologies AG
 MunEDA GmbH

Forschungspartner:

Leibniz-Universität Hannover
 TU München

Förderkennzeichen:

01 M 3080

Laufzeit des Vorhabens:

01.10.2006–30.09.2009

Ziele

In der neuen HighTech-Strategie der Bundesregierung werden klare Forderungen definiert, um die Sicherheit der Bürger zu verbessern, die Gesundheitsvorsorge auszubauen und die Energieversorgung trotz steigender Mobilität zu sichern. Die Elektronik ist eine der wichtigsten Schlüsseltechnologien, um die angestrebten Ziele zu erreichen. Mit ihrem Vordringen in die Nanowelt bietet sie eine große Funktionalität auf kleinstem Raum und mit geringstem Energieeinsatz. Der Einsatz neuester Halbleitertechnologien ist damit ein entscheidender Innovationsfaktor für den wirtschaftlichen Erfolg eines Industriestandortes im Rahmen des globalisierten Wettbewerbs. Fortschritte im Bereich neuer, zukunftsweisender Entwurfsmethoden sind eine wesentliche Voraussetzung dafür, die kommenden Halbleitertechnologiegenerationen erfolgreich für innovative Produkte nutzen zu können. Die aktuellen Technologien mit Strukturbreiten unter 65 nm bewegen sich immer stärker an den technischen und physikalischen Grenzen. Es zeichnet sich ab, dass in den kommenden Technologieknöten unterhalb von 65 nm die mit der Verkleinerung der Strukturgrößen verbundenen technologischen Vorteile, die eine Verkleinerung der Strukturgrößen bringen soll, überhaupt nur nutzbar sind, wenn gleichzeitig eine neue Designmethodik verfügbar wird. Diese muss es erlauben, den Einfluss der signifikant werdenden fertigungsbedingten Schwankungen der Schaltungsparameter angemessen zu berücksichtigen. Die bisher übliche, auf der Betrachtung von Worst/Best-Case-Szenarien beruhende Designmethodik gerät im sub-100 nm-Bereich an ihre Grenzen.

Ohne eine angemessene statistische Entwurfsmethodik können die neuen Technologien ihre Vorteile nicht

zur vollen Geltung bringen. Die bisher übliche Worst-Case-Analyse liefert für die Bewertung der Fertigungsschwankungen zu pessimistische Aussagen, aufgrund derer in erheblichem Maße Fläche und Performance verschwendet werden.

Das Projekt Sigma65 wird wichtige Beiträge im Rahmen dieser Gesamtproblemstellung mit der folgenden Zielstellung liefern:

- » Wirklichkeitsnahe Beschreibung und Modellierung der Prozessvariation
- » Innovative Verfahren zur Berechnung und zur Analyse der Performanceschwankungen auf Basis der Fertigungsschwankungen
- » Verbesserung von Schaltkreiseigenschaften
- » Bessere Ausnutzung der Möglichkeiten der Sub65nm-Technologien
- » Schaffung von Voraussetzungen für innovative Produkte mit hochkomplexer Funktionalität und geringem Platz- und Energieverbrauch.

Aufgaben

Die geplanten Aufgaben konzentrieren sich auf die Analyse und Modellierung von Eigenschaften, die die im Digitaldesign wesentlichen Aspekte „Timing“ und „Leistungsaufnahme“ der Schaltung bestimmen. Das Projekt erforscht die dafür notwendigen mathematischen und physikalischen Grundlagen zur statistischen Analyse von Schaltungseigenschaften. Die dabei untersuchten allgemeinen Analyse- und Modellierungsverfahren orientieren sich an den Bedürfnissen des Gatter- und Blockdesigns und schaffen die Grundlagen für die erwähnte erforderliche Erweiterung der Designmethodik. Das Projekt gliedert sich in drei Arbeitspakete:

Kont@kt (Sigma65)
 Dr.-Ing. Manfred W. Dietrich
 Fraunhofer Institut für Integrierte Schaltungen (IIS)
 fon: (03 51) 46 40 – 7 15
 Manfred.Dietrich@eas.iis.fraunhofer.de