Veröffentlicht auf *edacentrum* (https://project.edacentrum.de)

Fach- & Kooperations-Workshop "Technologie und deren Auswirkung"

Termin

Freitag, 11. Mai 2007
9:00h bis ca. 17:00h

Tagungsort

Fraunhofer Institut für Integrierte Schaltungen
Konferenzraum (EG)
Zeunerstr. 38
01069 Dresden

Ziele und Themen

In Zusammenarbeit mit den Projekten: AIS, DETAILS, LEMOS, Sigma65 und URANOS findet am 11.5.2007 in Dresden ein Fach- & Kooperationsworkshop zum Thema Technologie und deren Auswirkung statt. Die Veranstaltung schließt an den vom IC Arbeitskreis des Silicon Saxony e.V. (www.silicon-saxony.net [1]) am Vortag ebenfalls in Dresden durchgeführten "IC-Design-Workshop" an, der zum Thema Entwurf von integrierten Analog-/Mixed-Signal-/HF-Schaltungen organisiert wird. Die Themen dieser Veranstaltung werden in den Fach- & Kooperationsworkshop mit einfließen.

Seitdem der Schritt zu Technologien Richtung 45 nm und darunter vollzogen wurde, werden die Aspekte der Fertigung wie Abstand (pitch), Mobilität (mobility), Schwankungen (variability), Kriechverlust (leakage) und Funktionssicherheit (reliability) zu einer immer größeren Herausforderung. Konnten diese Aspekte beim Einsatz neuer Prozesstechnologien früher vernachlässigt werden, frei nach dem Motto: Leckstrom ist irrelevant, so ist das heute nicht mehr der Fall. Die klassische Skalierung, bei der das verwendete Material eine weitere physikalische Strukturverkleinerung klaglos hinnimmt, ist an ihre Grenzen gestoßen. Die rote Mauer der Technologie (benannt nach der red brick wall aus der SIA Roadmap) zeigt für Technologien kleiner als 180 nm auf, zu welchen Bereichen es bis jetzt keine bekannten Lösungen gibt. Die Probleme zu verstehen, denen der Chip-Designer und der Prozess-Ingenieure sich zu stellen hat, ist das Ziel des Fach- und Kooperationsworkshops Technolgie. Über Nacht wird Niemand zu einem Experten im jeweils anderen Bereich werden können, aber Kenntnisse und Erfahrungen auszutauschen und die Herausforderungen des jeweils anderen zu verstehen, ist ein notwendiger Schritt.

Themen des Workshops werden u.a. die Evolution der Fertigungsprozesse und deren Auswirkungen auf den Schaltungsentwurf sowie Einflüsse der fortschreitenden CMOS-Skalierung auf den heutigen Schaltungs- und Systementwurf sein. Mögliche Fragestellungen in diesem Zusammenhang sind:

- Können Analogschaltungen noch zuverlässig mit hoher Qualität unterhalb der 65 nm CMOS-Technologie entwickelt werden?
- High Performance @ Low Cost: Traum oder Realität?
- Welche Technologieeigenschaften sind heute zusätzlich im Systementwurf zu berücksichtigen?
- Lassen sich analoge Schaltungen im gleichen Masse miniaturisieren (skalieren) wie digitale oder erreichen wir bald ein Limit?
- Umgang mit kleinem Headroom durch tiefe Versorgungsspannungen (low VDD)
- Leakage und Power-Optimierung, was gibt es für Möglichkeiten?
- Handhabung der hohen Anzahl von parasitären Effekten und viel komplexeren Entwurfsregeln, z.B.: in Nanometer-Prozessen: DRC ist nicht mehr nur eine Pass/No-Pass-Routine, sondern es werden Preferred Rules und effizientere Debugging-Techniken benötigt.
- Erfahrungen mit OPC (Optical Proximity Correction) bei Analogschaltungen für gutes Matching?
- Erfahrungsaustausch der Designer für Technologieknoten kleiner, gleich 90 nm
- Erfahrungen mit Auswirkungen auf den Design-Flow und die Entwurfswerkzeuge

Beteiligte Projekte:

- AIS [2]
- DETAILS [3]

- LEMOS [4]
- Sigma65 [5]
- URANOS [6]

Einreichung der Präsentationen

Bitte melden Sie Ihre Präsentationen (Dauer max. 15 min.) **bis zum 16.04.2007** bei Frau Dr. Hansen an:

- Name des Autors
- Titel
- inhaltlicher Schwerpunkt der Präsentation

Bitte reichen Sie außerdem Ihre Präsentationsfolien **bis zum 26.04.2007** für die Erstellung der Workshopunterlagen bei Frau Hansen (s.o) ein.

Agenda

Teil A

09.00-09.15h	Arbeitsgruppen-Arbeit / Kooperation	
09.15-09.30h	Technologie und deren Auswirkung: Temperaturabhängige Zuverlässigkeitsbetrachtungen auf Systemebene	Herr Sander
09.30-09.45h	Auswirkungen von Prozess-Variationen auf Leakage und Möglichkeiten der Optimierung	Herr Hoyer
09.45-10.00h	Prozess-Variationen und deren Auswirkungen auf die Stromaufnahme von Digital-Schaltungen	Herr Häußler
10.00-10.15h	Prozess-Variationen und statistische Timing-Analyse auf Gatter-Ebene	Herr Kinzelbach
10.15-10.45h	Diskussion	
10.45-11.00h	Kaffeepause	

Teil B

11.00-11.15h	Bericht SiliconSaxony Workshop vom Vortag Was sind die Themen die für EDA wichtig sind ?	Herr Wittmann
11.15-11.30h	Influence of the continuing CMOS Scaling on the traditional Analog Circuit Design Process	Herr Wittmann
11.30-11.45h	Integration von Prozesswissen in herstellungsorientierten Design-Flows	Herr Brück Herr Hahn
11.45-12.00h	PCM- and Physics-Based Statistical BJT Modeling	Herr Kraus
12.00-12.30h	Interaktive Vorführung UHF6S-Designkit	Herr Schneider
12.30-13.00h	Diskussion und Resümee	

13.00-14.30h Mittagspause

.

Anmeldung

Bei Frau Dr. Hansen
edacentrum

Anmeldeschluss ist der 26.04.2007

Teinahmegebühr

Die Teilnahmegebühr beträgt 44,00 € (inkl. 19% MwSt.) und beinhaltet

- Tagungsraum
- Workshopunterlagen
- Kaffeepause und Tagungsgetränke
- Mittagessen

Die Teilnahmegebühr kann vorab per Rechnung (bitte bei der Anmeldung darauf hinweisen) oder vor Ort in bar beglichen werden.

Kontakte

Lokale Organisation:
Frau Maren Sperber
edacentrum
fon: +49 511 762-19699
info@edacentrum [dot] de

Quell-URL: https://project.edacentrum.de/fach-kooperations-workshop-technologie-und-deren-auswirkung

Links:
[1] http://www.silicon-saxony.net
[2] https://project.edacentrum.de/projekte/AIS
[3] https://project.edacentrum.de/projekte/DETAILS
[4] https://project.edacentrum.de/projekte/LEMOS
[5] https://project.edacentrum.de/projekte/Sigma65
[6] https://project.edacentrum.de/projekte/URANOS